

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-049229**

(43)Date of publication of application : **18.02.2000**

(51)Int.Cl.

H01L 21/768
H01L 21/3205

(21)Application number : **11-205553**

(71)Applicant : **MOTOROLA INC**

(22)Date of filing : **21.07.1999**

(72)Inventor : **GREGOR BRACKELMAN
RAMUNAS BENKATORAMAN
MATTHEW THOMAS HERICK
CINDY R SIMPSON
FIORDALICE ROBERT W
DENNING DEAN J
JAIN AJAY
CHRISTIANO CAPASO**

(30)Priority

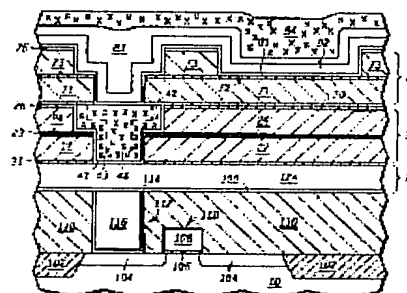
Priority number : **98 121068** Priority date : **21.07.1998** Priority country : **US**

(54) METHOD FOR FORMING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a mutual connection structure in a semiconductor device that has advantages as compared with prior art and the method for forming the same.

SOLUTION: A mutual connection part 60 is formed on a substrate 10. In an embodiment, an adhesive/barrier layer 81, a copper alloy seed layer 42 and a copper film 43 are deposited on the substrate 10, and the substrate 10 is annealed. In an alternative embodiment, the copper film is deposited on the substrate and the copper film is annealed. Furthermore, in another embodiment, the adhesive/barrier layer 81, a seed layer 82, a conductive film 83 and a copper alloy capping film 84 are deposited on the substrate 10 to form a mutually connecting part 92. The stages of depositing and annealing are performed on a common processing platform.



LEGAL STATUS

[Date of request for examination] 13.10.1999

[Date of sending the examiner's decision of rejection] 24.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-49229
(P2000-49229A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/768		H 0 1 L 21/90	B
21/3205		21/88	M

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平11-205553

(22) 出願日 平成11年7月21日 (1999.7.21)

(31) 優先権主張番号 1 2 1 0 6 8

(32) 優先日 平成10年7月21日 (1998.7.21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 グレゴリー・ブラッケルマン

アメリカ合衆国テキサス州オースチン、ナ
ンバー147、スピイグラス・ドライブ1781

(74) 代理人 100091214

弁理士 大貫 進介 (外2名)

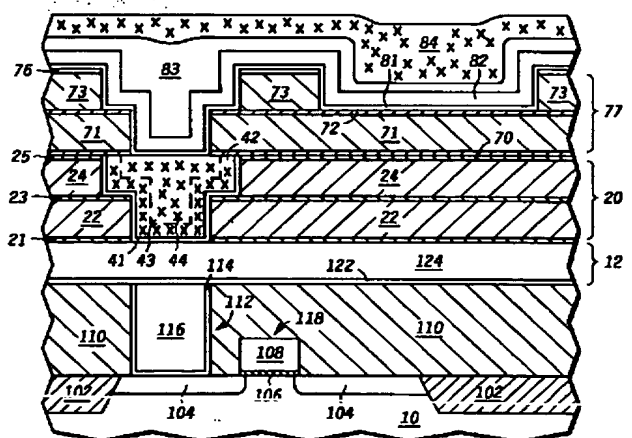
最終頁に続く

(54) 【発明の名称】 半導体装置の形成方法

(57) 【要約】

【課題】 従来技術に比して利点を提供する半導体装置における相互接続構造とその形成方法とを提供する。

【解決手段】 相互接続部60が基板10上に形成される。ある実施例においては、粘着／バリア層81、銅合金シード層42および銅膜43が基板10上に堆積され、基板10がアニーリングされる。代替の実施例においては、銅膜が基板上に堆積され、銅膜がアニーリングされる。さらに別の実施例においては、粘着／バリア層81、シード層82、導電膜83および銅合金キャッピング膜84が基板10上に堆積され、相互接続部92を形成する。堆積およびアニーリングの段階は、共通の処理プラットフォーム上で実行することができる。



【特許請求の範囲】

【請求項 1】 半導体装置を形成する方法であって：基板（10）上にバリア層（41）を形成する段階；前記バリア層（41）上に銅合金を含むシード層（42）を形成する段階；前記シード層（42）上に導電膜（43）を形成する段階；および前記基板（10）をアニーリングする段階；によって構成されることを特徴とする方法。

【請求項 2】 半導体装置を形成する方法であって：基板（10）上にバリア層（81）を形成する段階であって、前記基板（10）が誘電膜（73）内に第 1 開口部（75）を有し、前記誘電膜が第 1 上面を有する段階；前記バリア層（81）上に銅含有膜（83）を形成する段階；前記銅含有膜（83）上に銅合金キャッピング膜（84）を形成する段階；および前記バリア層（81）、前記銅含有膜（83）および前記銅合金キャッピング膜（84）の部分除去して、第 1 インレイ構造（92）を画定する段階であって、前記第 1 インレイ構造（92）が第 2 上面を有し、前記第 2 上面が前記第 1 上面と実質的に平面であって、前記銅合金キャッピング膜（84）の部分を含む段階；によって構成されることを特徴とする方法。

【請求項 3】 半導体装置を形成する方法であって：基板（10）上に主として銅を含有する膜（43）を形成し、開口部を実質的に充たす段階；および前記基板（10）をアニーリングする段階であって、前記の主として銅を含有する膜（43）上に絶縁層（77）を形成する前にアニーリングが実行される段階；によって構成されることを特徴とする方法。

【請求項 4】 半導体装置を形成する方法であって：基板（10）上に第 1 の主として銅を含有する膜を形成する段階であって、前記基板が誘電膜内に開口部（30）を有する段階；前記第 1 の主として銅を含有する膜をアニーリングする段階；基板上に第 2 の主として銅を含有する膜を形成する段階；および前記第 1 および第 2 の主として銅を含有する膜の部分除去して、インレイ構造を画定する段階；によって構成されることを特徴とする方法。

【請求項 5】 半導体装置を形成する方法であって：めっき室とアニーリング室とを有するプラットフォームを準備する段階；前記めっき室を用いて基板（10）上に材料をめっきする段階；および前記アニーリング室を用いて前記材料をアニーリングする段階；によって構成されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、一般に半導体装置に関し、さらに詳しくは、半導体装置における相互接続構造とその形成方法とに関する。

【0002】

【従来の技術および発明が解決しようとする課題】 集積回路は、半導体装置製造業者によって、ますます寸法が小さくなっている。相互接続プロセスの発達、特にインレイ相互接続（inlaid interconnect）技術は、回路寸法をさらに小さくするために模索される分野である。しかし、相互接続の寸法を小さくすると、対応して回路の電流密度が上がり、電気移動（エレクトロマイグレーション）に関する問題が起こる。この結果、時間の経過と共に回路に抵抗および信頼性において不可逆的な変化が起こることがある。

【0003】 現在、電流密度の増大の結果として起こる問題を克服するために、アルミニウムの代替品として銅が検証されている。銅は、固有抵抗が低く耐電気移動性が改善されていることを含めて、アルミニウムよりも本来的に優れる。しかし、高度な相互接続技術においてアルミニウムの代替品として銅を用いても電気移動の問題を全面的に回避できない。相互接続の寸法が小さくなり続ける限り、電気移動は信頼性上の懸念となる。

【0004】 さらに、相互接続を形成する際に銅を用いると信頼性に関して新たな問題が起こる。銅はポリイミドなどの酸化物含有薄膜や保護膜ポリマに対する粘着性が低い。これは、ビアおよび相互接続を形成する間に問題となるだけでなく、完成された半導体装置を組み立て実装する際にも問題となる。ボンド・パッドを形成するために本質的には純粋な銅薄膜を用いる場合にも、粘着性に関して信頼性の問題が報告されている。この問題には、銅のボンド・パッドとその上にあるパッシベーション薄膜との間の粘着性が弱いために起こる不良が含まれる。

【0005】

【実施例】 導電性相互接続部が基板上に形成される。ある実施例においては、粘着／バリア層、銅合金シード層および銅膜が基板上に堆積されてアニーリングされる。代替の実施例においては、銅含有膜が基板上に堆積されてアニーリングされる。さらに別の実施例においては、粘着／バリア層、シード層、導電膜および銅合金キャッピング膜が基板上に堆積される。この実施例ではアニーリングは任意で実施される。堆積およびアニーリングの段階は、共通の処理プラットフォームにおいて実行することができる。

【0006】 図 1 は、第 1 相互接続レベルを画定するために部分的に処理された半導体装置を示す。半導体装置は、半導体装置基板 10、電界分離領域 102、トランジスタ 118、導電性プラグ 112 および誘電層 110 によって構成される。トランジスタ 118 は、ドレーン領域 104、ゲート誘電膜 106 およびゲート電極 108 を備える。本明細書で用いられるには、半導体装置基板 10 は、単結晶半導体ウェハ、絶縁体上半導体基板（semiconductor-on-insulator）または半導体装置を形成するために用いられるその他の任意の基板によって構成

される。

【0007】ある実施例においては、ゲート電極108はポリシリコン層である。あるいは、ゲート電極108は、タングステンまたはモリブデンなどの金属層、窒化チタン、窒化タングステンなどの窒化金属層およびそれらの組み合わせとすることができる。さらに、ゲート電極108は、ポリシリコン膜上にある、ケイ化タングステン、ケイ化チタンおよびケイ化コバルトなどの金属ケイ化物で構成されるポリサイド膜とすることができる。

【0008】ゲート電極108の形成に続き、第1中間誘電(ILD: interlevel dielectric)層110が基板10上に形成され、パターニングされてコンタクト開口部を形成する。ある実施例においては、第1ILD層110は、テトラエトキシシラン(TEOS: tetraethoxysilane)をソース気体として用いて形成されるプラズマ付着酸化物の薄膜である。あるいは、第1ILD層110は、窒化シリコン膜、燐酸シリケート・ガラス(PSG: phosphosilicate glass)膜、硼酸燐酸シリケート・ガラス(BPSG: borophosphosilicate glass)膜、酸窒化シリコン膜、ポリイミド膜、低k誘電体またはそれらの組み合わせとすることができる。

【0009】パターニングに続いて、誘電層110内にコンタクト開口部が形成される。コンタクト開口部は、チタン/窒化チタン(Ti/TiN)およびタンタル/窒化タンタル(Ta/TaN)などの粘着/バリア層114と、タングステンなどの導電性充填材料116とを用いて形成導電性プラグ112によって構成される。堆積後に、導電性充填材料116とその下にある粘着/バリア層116の部分が、従来のエッチングまたは化学機械研磨法を用いて除去され、導電性プラグ112が形成される。あるいは、導電性プラグ112は、コンタクト充填材料としてドーピング・シリコンを用いて、粘着/バリア層114を用いて、あるいは用いずに形成することもできる。

【0010】導電性プラグ112の形成後、第2粘着/バリア層122および第2導電膜124が導電性プラグ112および誘電層110上に形成される。ある実施例においては、第2粘着/バリア層122はTa/TaNを用いて形成され、導電膜124は銅、アルミニウムなどを用いて形成される。第2粘着/バリア層122と第2導電膜124とを組み合わせると第1相互接続レベル12が形成される。プロセスのこの時点までは、図1に図示される装置を形成するために従来の方法が用いられる。

【0011】次に、図2に示されるように第1相互接続レベル12上にパッシベーション層21が形成される。ある実施例においては、パッシベーション層21は、プラズマ付着窒化シリコン膜である。あるいは、パッシベーション層21は、プラズマ付着酸窒化シリコン膜、窒化硼素膜などとする事もできる。パッシベーション層21は、相互接続レベル12内で、金属原子が、この後に相互接続レベル12上に堆積される誘電膜内に拡散す

る確率を小さくするために用いられる。たとえば、相互接続レベル12が銅で構成される場合、パッシベーション層21は銅拡散バリアとして機能する。

【0012】図2は、粘着/バリア層122上に形成される中間誘電層(ILD)20をさらに示す。ある実施例においては、中間誘電層20は、誘電膜22、中間エッチストップ膜23、誘電膜24およびハードマスク膜25によって構成される。

【0013】誘電膜22は、TEOSをソース気体として用いて形成されるプラズマ付着酸化物の薄膜とすることができる。あるいは、誘電膜22は、PSG膜、BPSG膜、SOG膜、低誘電率(低k)絶縁体などとする事もできる。本明細書については、低k絶縁体は、約3.5未満の誘電率を有する材料である。中間エッチストップ膜23は、プラズマ付着酸窒化シリコンの薄膜とすることができる。あるいは、中間エッチストップ膜23は、プラズマ付着窒化シリコン膜、窒化硼素膜などとする事もできる。誘電膜24は、TEOSをソース気体として用いて形成されるプラズマ付着酸化物の薄膜とすることができる。あるいは、誘電膜24は、PSG膜、BPSG膜、SOG膜、低誘電率(低k)絶縁体などとする事もできる。異なる誘電材料を用いて中間誘電膜20を形成する必要はない。たとえば、中間誘電膜20は、プラズマ付着酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体などの単独の誘電性材料を用いて形成することができる。誘電膜24上にはハードマスク膜25が存在する。ある実施例においては、ハードマスク膜25は、プラズマ付着酸窒化シリコン膜である。あるいは、ハードマスク膜25は、プラズマ付着窒化シリコン膜、窒化硼素膜などとする事もできる。

【0014】図3において、中間誘電層20とパッシベーション層21の部分がパターニングされ、二重インレイ開口部30が形成される。図3に示されるように、二重インレイ開口部30は、相互接続部31とビア部32とによって構成され、ビア部32が導電性相互接続部12の部分を露出する。ビア先トレンチ後(VFTL: via-first trench-last)処理と合致するパターニング・プロセスを用いると、ハードマスク膜25は、誘電膜24がエッチングされてエッチストップ膜23内にビア開口部を画定する間に誘電膜を保護し、エッチストップ23は誘電膜24内に二重インレイ開口部の相互接続部分を形成する際に誘電膜22を保護する。

【0015】図4では、粘着/バリア層41が二重インレイ開口部30内に形成される。ある実施例においては、粘着/バリア層は窒化タンタル膜である。あるいは、粘着/バリア層41は、窒化チタン膜、窒化タングステン膜、窒化タンタル・シリコン膜、タンタル膜、チタン・タングステン膜などとする事もできる。通常、粘着/バリア層41は従来のスパタリング法を用いて堆積される。あるいは、粘着/バリア層41を視準スパタ

リング、イオン化スパタリングまたは化学蒸着プロセスを用いて形成することもできる。

【0016】次に、シード層42と導電膜43が粘着／バリア層41上に形成される。ある実施例においては、シード層42は銅とマグネシウムによって構成される。あるいは、インジウム、スズ、クロミウム、亜鉛、炭素、ジルコニウム、パラジウム、チタン、鉄、ニオブウム、マグネシウムなどの他の合金材料または合金材料の組み合わせを用いることもできる。代替の実施例においては、シード層42は銅、ニッケル、スズなど、基本的

に単独の元素によって構成することもできる。

【0017】シード層42を形成する方法は変わる。ある実施例においては、シード層42は、約2原子パーセントのマグネシウムと約98原子パーセントの銅とによって構成されるスパタリング・ターゲットを伴う物理的蒸着（PVD: physical vapor deposition）プロセスを用いて形成される。シード層42は、あるいは、イオン化PVD、ロングスロー（long throw）PVDまたは視準PVDなどを含む他のPVD堆積・プロセスを用いて堆積することも、化学蒸着（CVD）プロセスや無電解めっきまたは電解めっきなどのめっきプロセスを用いて堆積することもできる。シード層42は、粘着／バリア層41上に広がる連続膜として堆積され、二重インレイ開口部30内に形成される。ある実施例においては、シード層42は約150～250ナノメートルの範囲の厚みに堆積される。しかし、シード層は導電膜の十分なめっきが行えるだけの十分な厚みに形成し、なおかつ二重インレイ開口部30のコーナー端部を超えてシード層42が過剰に横方向に育ったり、二重インレイ相互接続開口部（30）の底に後で空隙が形成されることを阻止するだけの十分な薄さで形成しなければならないことは、当業者には理解頂けよう。

【0018】導電膜43がシード層42上に形成される。導電膜43は、二重インレイ開口部30を十分に充たすだけの厚みを有する。ある実施例においては、導電膜は従来の電解めっき法を用いて堆積される銅である。銅は約600ナノメートルの厚みにめっきされるが、これは二重インレイ開口部のトレンチ部の厚みの約1.5倍である。あるいは、導電膜43は、無電解めっき、CV、D、PVDまたはCVDとPVDとの組み合わせを含む他の堆積プロセスによっても形成することができる。

【0019】図5は、矢印45によって示されるアニーリング段階中の図4の構造を示す。アニーリング段階により、シード層から導電膜43内に合金成分44が拡散する。シード層42から導電膜43内への合金成分44の拡散により、シード層42と導電膜43全体に合金成分44が再配分される。合金成分44の再配分がシード層42および導電膜43全体で均一になり、シード層42内ではより密度が高くなる。すなわち、使用される合金材料とアニーリング条件とに応じて、シード層42と

導電膜43の表面および界面において塊状に集中する。

【0020】アニーリングと、その後の合金成分44を導電膜43内に組み込む結果として、利点が得られる。この利点には、導電膜の抵抗特性とその粘着性の改善が含まれる。アニーリングによりシード層42と導電膜43の表面組成、形態および微細構造が変わる。摂氏300度超に温度を維持することで、合金成分44の導電膜43の表面および界面への移動が促進される。酸素原子にさらされると、酸化合金膜が形成される。この酸化合金膜により、導電膜43と、これに続き堆積されるパッシベーション層を含む隣接膜との粘着性が促進される。アニーリングを用いて合金成分44を拡散させる実施例においては、アニーリングを摂氏約300～450度の炉内で20～30分間実施する。

【0021】あるいは、アニーリングを合金非含有導電膜上で実行して、相互接続の電気移動の信頼性を改善することもできる。バリア層および本質的に単一の材料からなる導電膜を用いて導電性相互接続部を形成する実施例においては、基板を摂氏約200度で約5分間アニーリングするとよい。あるいは、基板を摂氏250～400度の範囲で少なくとも1分間アニーリングして、処理能力を改善する手段とすることもできる。アニーリングは、窒素雰囲気、減圧雰囲気または真空雰囲気内で実行して、被露出面の酸化を最小限に抑えることもできる。この実施例においては、本質的に単一の材料からなる導電膜の例には、電解めっき銅膜、CVD堆積銅膜などを伴う無電解めっき銅シード層が含まれる。

【0022】抵抗および電気移動のデータを用いて測定されるパラメータ試験は、アニーリング段階の結果として改善がなされたことを示す。薄膜抵抗の低減および膜全体の抵抗分布の改善および電気移動に関する改善は、アニーリング中の粒子成長と銅膜の高密度化に負うものである。アニーリングに先立ち、銅の粒子構造および粒子配向は膜全体で可変する。可変性の高い粒子構造および配向に関する異なる不良モードがすべて電気移動不良を起こす。銅をアニーリングすることにより、薄膜内の粒子構造分布がさらに均一になり、このような粒子構造に関する電気移動不良の変動はそれに応じてより狭い分布となる。

【0023】従って、シード層と導電膜をアニーリングを行なう結果として得られる利点は、導電膜を堆積する前にシード層をアニーリングを行なうことにより得られる。これは、摂氏約200～400度の温度範囲でシード層を堆積することによりその場で実行することができる。また、まずシード層を堆積し、その後で摂氏約200～400度の温度範囲において約1～5分間アニーリングを行ない、その後で導電層を堆積することにより実行することもできる。

【0024】本発明の実施例により、アニーリング段階は、急速加熱アニーリング(RTA: rapid thermal anneal

1)、ホットプレート、加熱チャックまたは炉を用いて実行することができる。アニーリング・ステーションはクラスタ・ツールの一部として処理の流れに組み込むことができ、この場合、シード層の堆積段階、導電膜の堆積段階、回転リンス乾燥 (SRD: spin-rinse-dry) およびアニーリング段階またはこれらの段階の任意の組み合わせを単独の処理プラットフォーム上ですべて実行することができる。同様に、これらの段階を単独のウェハまたはパッチ・ウェハの処理動作として実行することができる。

【0025】図6においては、導電膜43、シード層42および粘着/バリア層41の部分が従来の化学機械的研磨プロセスを用いて除去され、相互接続開口部30内に相互接続部60が形成される。あるいは、相互接続部60は、イオン・ミリング、反応性イオン・エッチングおよびプラズマ・エッチングなどの従来のエッチング法を用いるか、エッチング法と研磨法とを組み合わせることで形成することもできる。

【0026】合金成分44がシード層42から導電膜43内に拡散される実施例においては、代わりに、相互接続の形成後にアニーリングを実施することもできる。代替の実施例においては、導電膜43、シード層42および粘着/バリア層41の部分を除去して相互接続部を形成した後に、摂氏約300~450度の炉で基板を約20~30分間アニーリングを行なう。アルゴン、ヘリウム、窒素などの相対的に不活性の雰囲気を用いて、誘電膜24と導電性相互接続部とが酸化される確率を下げることもできる。アニーリング段階中に、合金成分はシード層42から導電膜43内に拡散する。あるいは、前述の急速加熱アニーリング (RTA)、ホット・プレート・アニーリングまたは炉アニーリング・プロセスを用いてアニーリングを実施してもよい。このアニーリング段階は、導電性相互接続部の形成段階の後に実行される点が、前述のアニーリングとは異なる。しかし、最終的な製品は前述の相互接続部60と基本的に同じ利点を有する導電性相互接続部となる。

【0027】図7は、さらに半導体装置を示し、これにはパッシベーション層70、中間誘電層 (ILD) 77およびハードマスク層76が含まれる。ILD層77は、さらに下部誘電膜71、中間エッチストップ膜72および上部誘電膜73を備える。パッシベーション層70、ILD層77およびハードマスク層76は、パッシベーション層21、ILD層20およびハードマスク膜25を形成するために用いられる方法と同様の方法を用いて形成される。二重インレイ開口部74がハードマスク層76、ILD層77およびパッシベーション層70内に形成され、相互接続部60の部分を露出する。二重インレイ開口部74は、二重インレイ開口部30を形成するための前述の方法と同様の方法を用いて形成される。

【0028】本発明の実施例により、一重インレイ開口

部75も二重インレイ構造74の形成中に形成される。ある実施例においては、一重インレイ開口部75は、半導体装置のボンド・パッドを形成するために用いられる。エッチングを行なって一重インレイ開口部75を画定する間、二重インレイ開口部74の相互接続トレント部分を画定するために用いられるエッチストップ膜72は、下部誘電膜71の部分の除去を阻止することも行う。

【0029】図8は、さらに半導体装置基板を示し、粘着/バリア層81、シード層82、二重インレイ構造を完全に充たし一重インレイ構造を部分的に充たす導電膜83および導電性合金キャッピング膜84を備える。ある実施例においては、粘着/バリア層81は、窒化タンタル膜であり、ハードマスク層76上であって、図7で画定される二重インレイ開口部74および一重インレイ開口部75の両方の中に形成される。あるいは、粘着/バリア層81は、窒化タンタステン膜、窒化タンタル・シリコン膜、タンタル膜、タンタル・タンタステン膜などとすることもできる。粘着/バリア層81は、従来のスパタリングまたは化学蒸着法を用いて堆積することができる。

【0030】粘着/バリア層81の上にはシード層82がある。この特定の実施例においては、シード層82は銅シード層であり、PVDプロセスを用いて約150~250ナノメートルの範囲の厚みまで堆積される。あるいはシード層82を導電性合金として堆積し、他の従来の堆積法を用いることもできる。合金材料の例には、インジウム、スズ、クロミウム、亜鉛、パラジウム、炭素、ジルコニウム、チタン、鉄、ニオブウムなどがある。

【0031】シード層82の上には、導電膜83がある。通常は、導電膜83を形成するために電解めっき・プロセスが用いられる。この特定の実施例においては、導電膜83は約300~500ナノメートルの厚みまで電解めっきされた銅膜である。あるいは、導電膜83を、PVDまたはCVDプロセスを用いて形成したり、アルミニウムまたは金などの他の導電性材料を用いて形成することもできる。

【0032】本発明の実施例により、導電膜は、二重インレイ開口部74を充たすのにには充分であるが、一重インレイ開口部75を完全には充たさない厚みを有する。

【0033】図8を参照して、導電膜83の総厚は誘電膜73の最上レベルより下にある。尺度通り描かれない一重インレイ開口部の横寸法は、二重インレイ開口部よりかなり大きい。たとえば、一重インレイ開口部の寸法は全体が25~50ミクロンの範囲であり、二重インレイ開口部は約0.35ミクロンより小さい。一重インレイ開口部75は、幅が広いので一部分が充填されるにすぎない。

【0034】導電膜83の上には、導電性合金キャッピング膜84がある。本発明の実施例により、導電性合金

キャッピング膜 84 は導電膜 83 上に形成される銅マグネシウム合金である。導電性合金キャッピング膜 84 は、約 2.0 原子パーセントのマグネシウムと約 98 原子パーセントの銅とを含有する銅マグネシウム・スパタリング・ターゲットを伴う PVD プロセスを用いて堆積される。あるいは、図 8 に示されるように、導電性合金キャッピング膜 84 は、他の従来の堆積法を用いて、インジウム、スズ、クロミウム、亜鉛、ジルコニウム、パラジウム、炭素、チタン、鉄、ニオブウムなどの他の合金材料により形成することもできる。導電性合金キャッピング膜 84 は誘電膜 73 上部の下になる一重インレイ構造の部分を完全に充たす。銅合金キャッピング膜 84 は、前記では導電膜 83 により完全には充たされなかった一重インレイ開口部の部分を完全に埋めるように堆積される。

【0035】あるいは、銅合金キャッピング膜 84 を、前述の PVD プロセスを用いて形成することもできる。このときプロセス温度は摂氏約 300~450 度の範囲にある。昇温すると、一重インレイ構造および二重インレイ構造の両方において、導電膜 83 内への合金元素の拡散が促進され、前述の電気移動および粘着に関する利点を得られる。あるいは、複合銅合金キャッピング膜 84 と導電膜 83 をその後の処理段階中にアニーリングを行

【0036】図 9 においては、導電性合金キャッピング膜 84、導電膜 83、シード層 82 および粘着/バリア層 81 の部分が、従来の化学機械的研磨プロセスを用いて除去され、二重インレイ開口部 74 内に相互接続部 91 が、一重インレイ開口部 75 内にボンド・パッド 92 が形成される。あるいは、相互接続部 91 とボンド・パッド 92 とを、イオン・ミリング、反応性イオン・エッチングおよびプラズマ・エッチングなどの従来のエッチング法を用いるか、あるいはエッチング法と研磨法の両方を組み合わせて用いることにより形成することもできる。

【0037】導電性相互接続部 91 は、導電性粘着/バリア層 81、シード層 82 および導電膜 83 の残りの部分によって構成される。ボンド・パッド 92 は、導電性粘着/バリア層 81、シード層 82、導電膜 83 および導電性合金キャッピング膜 84 の残りの部分によって構成される。

【0038】図 10 は、半導体装置をさらに示し、導電性相互接続部 91、ハードマスク層 76 およびボンド・パッド 92 の部分の上にある追加のパッシベーション層 1001 を備える。ある実施例においては、パッシベーション層 1001 は 10~20 ナノメートルのプラズマ強化窒化物 (PEN: plasma enhanced nitride) 膜上にある 250~350 ナノメートルの酸化シリコン膜によって構成される。図 10 に示されるように、パッシベーション層 1001 がエッチングされ、ボンド・パッド 92 の

部分を露出する下開口部 1002 を形成する。パッシベーション膜は、従来のプラズマまたは湿式エッチング処理法を用いてエッチングされる。

【0039】図 11 は、さらに半導体装置を示し、パッシベーション層 1001 上にあるポリイミド膜 1102 を備える。ある実施例においては、ポリイミド膜は、従来のスピンオン・プロセスを用いて形成され、約 2.5~3.5 ミクロンの範囲の厚みまで堆積される。次に、従来の処理を用いて上開口部 1103 がポリイミド膜内に形成される。本発明の実施例により、また図 11 に示されるように、上開口部 1103 は下開口部 1002 よりも大きい。これらの寸法は、半導体装置の設計および実装要件と、開口部を形成するために用いられるプロセスおよび装置によって決まる。パッシベーション膜 1001 の部分はボンド・パッド 92 内の導電性合金キャッピング膜 84 の部分まで延在し、その上に広がる。次に、導電性相互接続バンプ 1104 がボンド・パッド 92 とパッシベーション膜部分の上と形成される。この後、導電性バンプ 1104 は、半導体装置から半導体パッケージへの接続部となる。

【0040】導電性合金キャッピング膜 84 が存在するために、パッシベーション膜とボンド・パッドとの界面におけるパッシベーション膜のボンド・パッドに対する粘着性が良好になる。パッシベーション膜 1101 部分上の導電性相互接続バンプ 1104 の部分は、パッシベーション膜とボンド・パッドとの界面ではがれにくくなる。よって、合金キャッピング膜 84 の存在によりダイ・ボンズの信頼性が改善される。これによって、半導体装置全体の信頼性が良くなる。

【0041】かくして、本発明の実施例により、従来技術に対して少なくとも 3 つの利点が提供されることは明らかである。これらの利点には、導電性相互接続部の抵抗分布における改善と、金属相互接続部の電気移動性能における改善と、上部および隣接する薄膜に関する相互接続部の粘着特性における改善とが含まれる。

【0042】上記の説明においては、本発明は特定の実施例を参照して説明された。しかし、請求項に明記される本発明の範囲から逸脱せずに種々の修正および変更が可能であることは当業者には明白であろう。従って、説明および図面は、制限的な意味ではなく事例として見なされるべきであり、これらすべての修正は本発明の範囲に包含されるものとする。利点、その他の長所および問題に対する解決策は、特定の実施例に関して説明された。しかし、これらの利点、長所および問題解決法と、利点、長所または解決法を生み出すことのできる、あるいはより顕著になる任意の要素は、任意のあるいは全請求項の決定的な、必須のまたは不可欠な機能または要素と解釈されるべきではない。

【図面の簡単な説明】

本発明は、添付の図面において例として説明されるが、

11

それに制限されない。図面内では同様の参照番号は同様の要素を指す。図面内の要素は簡単明瞭にするために図示され、必ずしも同尺に描かれないことは当業者には理解頂けよう。たとえば、図面内の一部の要素の寸法は他の要素に対して誇張されており、本発明の実施例の理解を助ける役割をする。

【図 1】第 1 相互接続レベルを画定するために部分的に処理された半導体装置の部分の断面図である。

【図 2】粘着／バリア層形成後の図 1 の基板と中間誘電膜の断面図である。

【図 3】中間誘電膜内に二重インレイ開口部を形成した後の図 2 の基板の断面図である。

【図 4】二重インレイ開口部内に粘着／バリア層、シード層および導電膜を堆積した後の図 3 の基板の断面図である。

【図 5】図 4 の基板の断面図を示し、さらにシード層から導電膜内に合金成分を再配分するためのアニーリング段階を示す。

【図 6】二重インレイ相互接続構造を形成後の図 5 の基板の断面図である。

【図 7】第 2 中間誘電膜を堆積し、さらに上部二重インレイ開口部および一重インレイ開口部を形成した後の図 6 の基板の断面図である。

【図 8】上部二重インレイ開口部および一重インレイ開口部上に、粘着／バリア層、シード層、導電膜および導電性合金キャッピング膜を堆積した後の図 7 の基板の断面図である。

12

【図 9】二重インレイ相互接続構造およびボンド・パッド構造を形成した後の図 8 の基板の断面図である。

【図 10】パッシベーション膜と、ボンド・パッドの部分を露出するパッシベーション膜内の開口部とを形成した後の図 9 の基板の断面図である。

【図 11】実質的に完成された装置を形成した後の図 10 の基板の断面図である。

【符号の説明】

10 基板

10 12 相互接続レベル

20, 77, 110 誘電層

21, 70 パッシベーション層

22, 24, 71, 73 誘電膜

23, 72 エッチストップ膜

25, 76 ハードマスク膜

41, 81, 114, 122 粘着／バリア層

42, 82 シード層

43, 83, 124 導電膜

44 合金成分

20 84 導電性合金キャッピング膜

102 電界分離領域

104 ドーピング領域

106 ゲート誘電膜

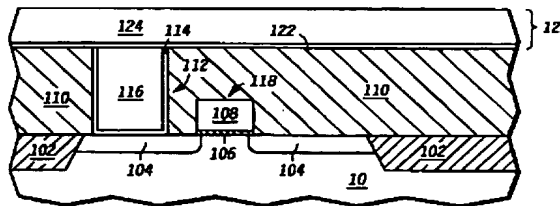
108 ゲート電極

112 導電性プラグ

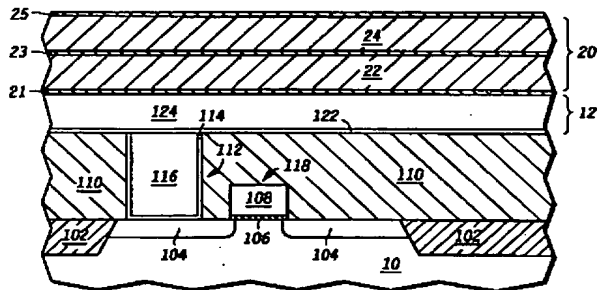
116 導電性充填材料

118 トランジスタ

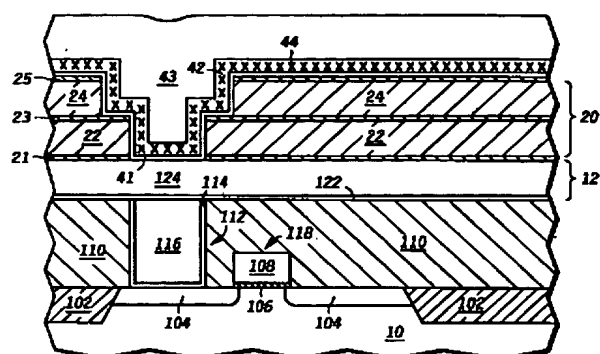
【図 1】



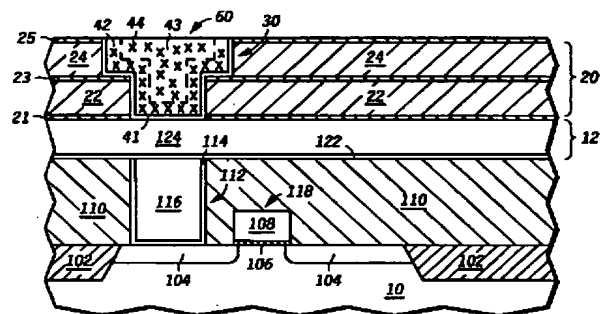
【図 2】



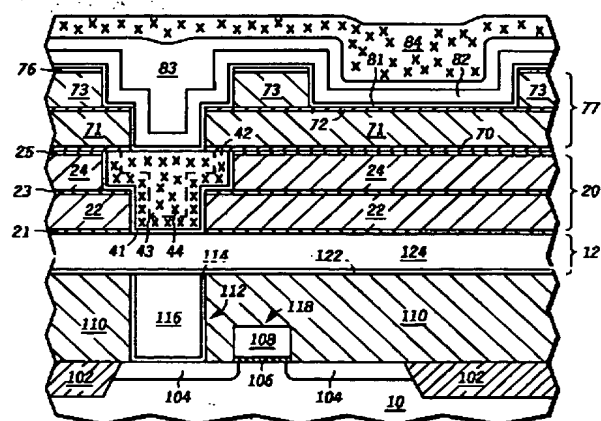
【図 4】



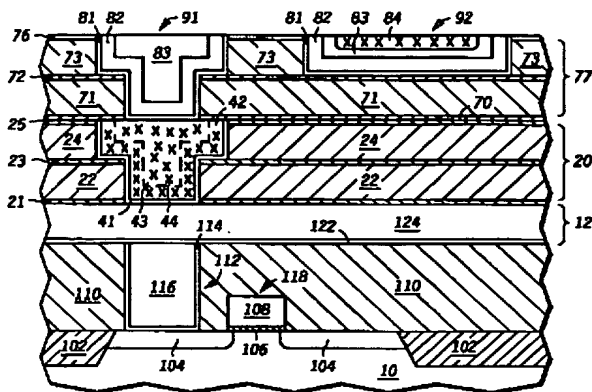
【图 6】



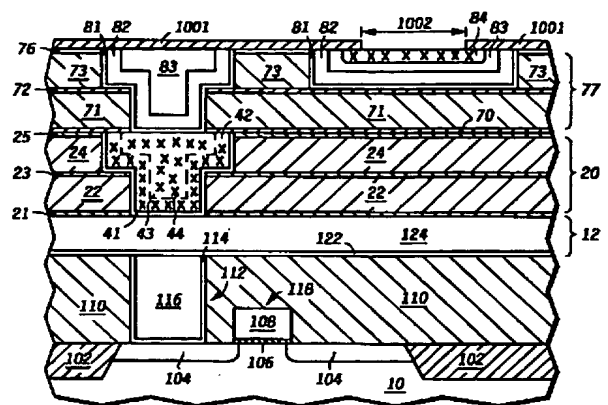
【图 8】



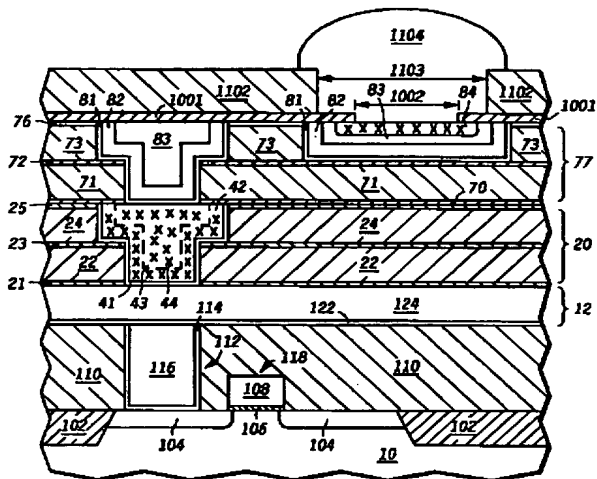
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72) 発明者 ラムナス・ベンカトラマン
アメリカ合衆国テキサス州オースチン、ハ
ローゲート・ドライブ 6221
- (72) 発明者 マシュー・トーマス・ヘリック
アメリカ合衆国テキサス州オースチン、モ
スクワ・トレイル 13451
- (72) 発明者 シンディ・アール・シンプソン
アメリカ合衆国テキサス州オースチン、バ
ック・ベイ・レーン 5844

- (72) 発明者 ロバート・ダブリュ・フィオダリス
アメリカ合衆国テキサス州オースチン、イ
ーストサイド・ドライブ 2213
- (72) 発明者 ディーン・ジェイ・デニング
アメリカ合衆国テキサス州デル・ペイル、
ピアース・レーン 12007
- (72) 発明者 アジェイ・ジェイン
アメリカ合衆国テキサス州オースチン、オ
ールド・ハーバー・レーン 6434
- (72) 発明者 クリスティアノー・キャパン
アメリカ合衆国テキサス州オースチン、シ
ンクリング・レーン 12601